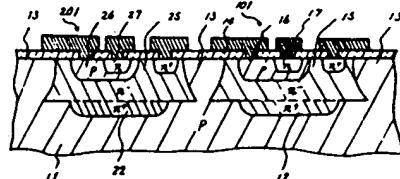


**BEST AVAILABLE COPY****(54) SEMICONDUCTOR DEVICE**

(11) 58-14564 (A) (43) 27.1.1983 (19) JP  
(21) Appl. No. 56-111946 (22) 17.7.1981  
(71) NIPPON DENKI K.K. (72) KUNIO AOMURA  
(51) Int. Cl. H01L27/08, H01L29/72

**PURPOSE:** To obtain with ease the elements of different characteristics without an increase in the area they occupy on a single substrate by a method wherein at least one of the regions is same as the others as regards conduction type but is composed of film of a different kind, when an epitaxially grown layer on a semiconductor substrate is electrically divided into a plurality of island shaped regions and circuit elements are formed in the respective island shaped regions.

**CONSTITUTION:** Two n<sup>+</sup> type buried regions 12 and 22 are formed by diffusion on a p type Si substrate 11 and the entire surface including them is covered with an n<sup>-</sup> type layer that is grown epitaxially, wherein a p type region 13 is formed by diffusion to reach the substrate 11. The p-n junction formed between the region 13 and the epitaxial layer divides the epitaxial layer into epitaxial layers 15 and 25 respectively including the regions 12 and 22. Next, the collector region forming layers 15 and 25, base regions 16 and 26, emitter regions 17 and 27 constitute, respectively, transistors 101 and 201, when the impurity concentration in the layer 15 of the first transistor 101 is made lower than that in the layer 25 of the transistor 201. Accordingly, two transistors are obtained of the same area and shape but different from each other in terms of withstand voltages along junctions.



2571553

# BEST AVAILABLE COPY

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58—14564

⑫ Int. Cl.<sup>3</sup>  
H 01 L 27/08  
29/72

識別記号

厅内整理番号  
7514—5F  
7514—5F

⑬ 公開 昭和58年(1983)1月27日  
発明の数 1  
審査請求 未請求

(全 3 頁)

## ⑭ 半導体装置

東京都港区芝五丁目33番1号  
本電気株式会社内

⑮ 特願 昭56—111946

⑯ 出願 昭56(1981)7月17日

東京都港区芝5丁目33番1号

⑰ 発明者 青村國男

⑱ 代理人 弁理士 内原晋

## 明細書

### 1. 発明の名称

半導体装置

### 2. 特許請求の範囲

表面側にエピタキシャル層を有する半導体基板に互いに他と電気的に分離された複数の島状領域が形成され、それぞれの島状領域に回路素子が形成されている半導体装置において、前記複数の島状領域のうちの少なくとも一つの島状領域のエピタキシャル層部が他の島状領域のエピタキシャル層部と同じ導電型でかつ異なる膜質で構成されていることを特徴とする半導体装置。

### 3. 発明の詳細な説明

本発明は半導体装置、特に、異なる特性のトランジスタを同一基板内に構成した半導体装置に関するものである。

集積回路装置は近年大規模化が進み、それにと

もない、回路機能の上から種々の特性を有するトランジスタを含むものが要求されるようになってい。例えば、接合容量の小さいトランジスタと接合容量の大きいトランジスタの組み合せや、コレクタ飽和抵抗の小さいトランジスタと高耐圧のトランジスタの組み合せ等、これらの組み合せは相反する条件であり、従来技術で実現する為には、トランジスタの面積を極端に変えるとか、製造工程を複雑にする等で対処して来た。しかしながら、上記の方法は大規模化、コスト低減に適しないものである。

本発明の目的は、同一基板に、異なる特性の半導体素子が、面積を変えずに簡単な工程で形成される半導体装置を提供するにある。

即ち、本発明による半導体装置は、表面側にエピタキシャル層を有する半導体基板を備え、該基板内に複数個の回路素子を含み、かつ該回路素子が互に他と電気的に分離された島状領域に含まれ、該複数個の島状領域の少なくとも一つの島状領域のエピタキシャル層部が他の島状領域のエピタキ

# BEST AVAILABLE COPY

特開昭58-14564(2)

シャル層部と同じ導電型で、かつ異なる膜質で構成されている。

次に本発明を実施例について説明する。

第1図は本発明の第1の実施例の断面図である。図において、第1のトランジスタ101と第2のトランジスタ201は、p型シリコン基板11及びp型分離領域13, 13, 13とn型エピタキシャル層部15, 25との間で形成されたpn接合により互に電気的に分離された島状n型エピタキシャル層内に形成されている。トランジスタ101および201はコレクタ領域15, 25、ベース領域16, 26、エミッタ領域17, 27及びその外部電極、さらにその間に設置された絶縁膜14からなっている。さらに、コレクタ抵抗を下げるためのn<sup>+</sup>型埋設領域12, 22を含んでいる。

又、第1のトランジスタ101のエピタキシャル層部即ちコレクタ領域15の濃度は、第2のトランジスタ102のエピタキシャル層部、即ちコレクタ領域25の濃度より低くなっている。したがって、第1のトランジスタ101は第2のトランジスタ201に比べて各領域の面積、形状が全く同じでも、コレクタ抵抗は大きく、ベース・コレクタ接合容量は小さく、その接合の耐圧は大きくなる。即ち、ほぼ同じ面積、形状を保ちながら、異なる特性のトランジスタを実現できることになる。

第2図は本発明の第2の実施例である。第1のトランジスタ201と第2のトランジスタ202は、p型シリコン基板11及び埋設酸化物23, 23, 23とn型エピタキシャル層部35, 45との間で形成されたpn接合及び酸化物により互に電気的に分離された島状n型エピタキシャル層部内に形成されている。各トランジスタはn<sup>+</sup>型埋設領域32, 42とコレクタ領域35, 45、ベース領域36, 46、エミッタ領域37, 47及び外部電極さらにその間に設置された絶縁膜14からなっている。本実施例も第1の実施例同様、第1のトランジスタ201のコレクタ領域35の濃度が第2のトランジスタ202のコレクタ領域45の濃度より低い為、異なるトランジスタが実現されている。

第3図は第3の実施例の断面図である。本実施例は、第1の実施例と類似しているが、第2のトランジスタ302のエピタキシャル層部の高濃度部分が、その厚さの一部にのみわたっており、残りの部分は、第1のトランジスタ301のエピタキシャル層部と同じ低濃度部分になっているところに違いがある。トランジスタの特性では、上記第1と第2の実施例と殆ど差が生じないものである。同様な類似実施例は第2の実施例についても可能である。

以上本発明の実施例について説明して来たが、異なる膜質のエピタキシャル層部を実現する為には、上記実施例の濃度を変える方法以外に、不純物の種類を変える方法、及び両者を組み合わせる方法等がある。

## 4 図面の簡単な説明

第1図、第2図、第3図はそれぞれ本発明の第1実施例、第2実施例、第3実施例の断面図である。

代理人 弁理士 内原

審査官印

# BEST AVAILABLE COPY

特開昭58- 14564 (3)

